

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-094041  
(43)Date of publication of application : 06.04.2001

(51)Int.CL H01L 25/065  
H01L 25/07  
H01L 25/18

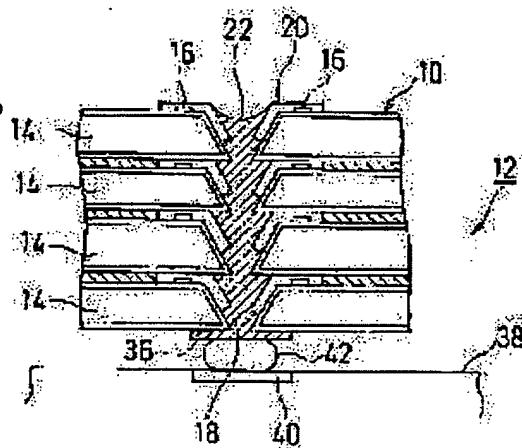
(21)Application number : 11-269392 (71)Applicant : SEIKO EPSON CORP  
(22)Date of filing : 22.09.1999 (72)Inventor : KUROSAWA RYUICHI  
UMETSU KAZUNARI

## (54) MULTI-CHIP PACKAGE, SEMICONDUCTOR DEVICE AND ELECTRONIC APPARATUS, AND METHOD FOR MANUFACTURING THEM

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To effectively realize jointing work for forming a multi-chip package of lamination by surely realizing electrical connection between electrodes of laminated semiconductor chips and electric continuity means set in a through-hole for interlayer connection.

**SOLUTION:** Through-holes are installed, which penetrate an electrode pad part common to laminated semiconductor chips and are arranged in a straight line. A metallized layer is formed, which is arranged in a through-hole aperture part of each chip and are electrically continuous with the chip electrode pad. A pillar type conductive shaft, which is formed of fused solder and electrically continuous to the metallized layer, is embedded in the through-hole arranged in a line, and electrical continuity between the laminated chips is obtained.



\* NOTICES \*

JPO and INPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] It has the through hole which penetrated an electrode pad portion common to a laminated semiconductor chip, and was arranged on a straight line. It is provided in the through hole opening part of each chip, and has said chip electrode pad and a metallized layer through which it flows. A multi chip package which embeds a pillar-shaped electric conduction shaft which was formed with dissolution solder in a through hole arranged on a straight line, and flowed with said metallized layer, and is characterized by things.

[Claim 2] It has the through hole which penetrated an electrode pad portion common to a laminated semiconductor chip, and was arranged on a straight line. It is provided in the through hole opening part of each chip, and has said chip electrode pad and a metallized layer through which it flows. It has a multi chip package which embeds a pillar-shaped electric conduction shaft which was formed with dissolution solder in a through hole arranged on a straight line, and flowed with said metallized layer. A semiconductor device which mounts in a mother board which has the exterior electrodes formed with the same arrangement pattern as an electrode pad [ in / for this multi chip package / said semiconductor chip ], and is characterized by things.

[Claim 3] Electronic equipment provided with a multi-package according to claim 1 or 2 or a semiconductor device.

[Claim 4] After forming a through hole which penetrates a chip in said electrode pad portion to a semiconductor chip which has an electrode pad for signal input and output. After carrying out installation formation of the metallized layer through which it flows with said electrode pad in an opening of this through hole. Two or more sheets are laminated so that a solder ball may be carried on a metallized layer of a through hole opening and said through hole may arrange a semiconductor chip on a straight line. A manufacturing method of a multi chip package forming a pillar-shaped electric conduction shaft which encloses dissolution solder in a through hole which carried out the package dissolution of said solder ball, and was arranged on a straight line by carrying out reflow treatment of this chip layered product, and flows through each electrode pad.

[Claim 5] A manufacturing method of the multi chip package according to claim 4 characterized by said through hole's forming a section V character-like opening, and coming to form it by wrapping a substrate rear by performing anisotropic etching to a silicon substrate which attended a central opening of an electrode pad.

[Claim 6] A manufacturing method of the multi chip package according to claim 4 which carries out communicating formation of said through hole by forming a section V character-like opening in a substrate surface and rear surface by performing anisotropic etching from its silicon board part [ which attended a central opening of an electrode pad ], and reverse part side, and is characterized by things.

[Claim 7] After forming a through hole by which communicating formation was carried out by forming a section V character-like opening in a substrate surface and rear surface by performing anisotropic etching to a semiconductor chip which has an electrode pad for signal input and output from its silicon board part [ which attended a central opening of said electrode pad ], and reverse part side. While carrying out installation formation of said electrode pad and the metallized layer through which it flows, carrying a solder ball on a metallized layer of a through hole opening and carrying out the plural laminates of the semiconductor chip to the electrode pad side opening of the through hole concerned. Self-alignment is made to perform so that said through hole may arrange on a straight line with said solder ball. A manufacturing method of a multi chip package forming a pillar-shaped electric conduction shaft which encloses dissolution solder in a through hole which carried out the package dissolution of said solder ball, and was arranged on a straight line by carrying out reflow treatment of this chip layered product, and flows through each electrode pad.

---

[Translation done.]

\* NOTICES \*

JPO and INPI are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

[0001]

[Field of the Invention]This invention relates to a multi chip package, a semiconductor device, electronic equipment, and these manufacturing methods.

[0002]

[Description of the Prior Art]In recent years, advanced features and a miniaturization of the semiconductor device are attained by arranging two or more semiconductor chips and considering it as the multi chip package (Multi Chip Package) into one package, with highly-efficientizing of electronic equipment, and a miniaturization. And there are what put two or more semiconductor chips in order superficially, and a thing which laminated two or more semiconductor chips to the thickness direction in a multi chip package. Since the multi chip package which put the semiconductor chip in order superficially needs a large packaging area, its contribution to the miniaturization of electronic equipment is small. For this reason, development of stacked MCP which laminated the semiconductor chip in three dimensions is performed briskly.

[0003]As this kind of package structure, the thing of the structure which forms the module which mounted the semiconductor chip in the interposer, plans an electrical link by a solder bump mutually, and laminates these modules is common as indicated by the patent No. 2870530 gazette. There are some which are being indicated in the patent No. 2871636 gazette as an example of composition which does not use an interposer. This is taken as structure which makes insulating resin intervene, laminates a chip, forms puncturing in the electrode section of this layered product by laser radiation, embeds a hole with conductive resin, and is mounted in a printed circuit board by a solder bump by the tip part of the bottom of the heap.

[0004]

[Problem(s) to be Solved by the Invention]However, in the multi chip package of the laminated structure using the former interposer, lamination thickness is thick, and it cannot keep and cannot be considered as a thin package. Although it has the composition of pouring conductive resin into a through hole connecting both the chip electrodes of each class, in the type which joins a chip directly like the latter, It was difficult to make the electrical link of a chip electrode and conductive resin certainly between layers, and there was a possibility of generating a faulty connection without filling up with conductive resin exactly among tens of micrometers in particular. And there is no indication of the method of embedding conductive resin in the package of this latter at a hole at a puncturing portion.

[0005]The purpose of this invention is as follows.

An electrical link with the conduction means set as the through hole which was made paying attention to the above-mentioned conventional problem, and makes the electrode and interlayer connection of the semiconductor chip laminated is certainly realizable.

Provide the semiconductor chip which laminates and enabled it to realize efficiently bonding operation in the case of multichip-izing and the multi chip package using this, a semiconductor device, electronic equipment, and these manufacturing methods. Wiring distance in the case of mounting a multi chip package in a mother board can be shortened, and, thereby, an electrical property aims at providing a good semiconductor device and electronic equipment.

[0006]

[Means for Solving the Problem]To achieve the above objects, a multi chip package concerning this invention, It has the through hole which penetrated an electrode pad portion common to a laminated semiconductor chip, and was arranged on a straight line. It is provided in the through hole opening part of each chip, and has said chip electrode pad and a metallized layer through which it flows, and in a through hole arranged on a straight line, a pillar-shaped electric conduction shaft which flowed with the formation aforementioned metallized layer with dissolution solder is embedded, and it is characterized by things.

[0007]It has the through hole which a semiconductor device concerning this invention penetrated an electrode pad portion common to a laminated semiconductor chip, and was arranged on a straight line. It is provided in the through hole opening part of each chip, and has said chip electrode pad and a metallized layer through which it flows. It has a multi chip package which embeds a pillar-shaped electric conduction shaft which was formed with dissolution solder in a through hole arranged on a straight line, and flowed with said metallized layer. It mounts in a mother board which has the exterior electrodes formed with the same arrangement pattern as an electrode pad [ in / for this multi chip package / said semiconductor chip ].

[0008]Electronic equipment concerning this invention is considered as composition provided with an above-mentioned multi-package or a semiconductor device.

[0009]A manufacturing method of a multi chip package concerning this invention, After forming a through hole which penetrates a chip in said electrode pad portion to a semiconductor chip which has an electrode pad for signal input and output, After carrying out installation formation of the metallized layer through which it flows with said electrode pad in an opening of this through hole, Two or more sheets are laminated so that a solder ball may be carried on a metallized layer of a through hole opening and said through hole may arrange a semiconductor chip on a straight line. A pillar-shaped electric conduction shaft which encloses dissolution solder in a through hole which carried out the package dissolution of said solder ball, and was arranged on a straight line, and flows through each electrode pad is formed by carrying out reflow treatment of this chip layered product.

[0010]In this case, said through hole forms a section V character-like opening by performing anisotropic etching to a silicon substrate which attended a central opening of an electrode pad. What is necessary is just to form by wrapping a substrate rear, Or by performing anisotropic etching from its silicon board part [ which attended a central opening of an electrode pad ], and reverse part side, by forming a section V character-like opening in a substrate surface and rear surface, said through hole can be

constituted so that communicating formation may be carried out.

[0011]As a manufacturing method of a multi chip package concerning this invention, After forming a through hole by which communicating formation was carried out by forming a section V character-like opening in a substrate surface and rear surface by performing anisotropic etching to a semiconductor chip which has an electrode pad for signal input and output from its silicon board part [ which attended a central opening of said electrode pad ], and reverse part side, While carrying out installation formation of said electrode pad and the metallized layer through which it flows, carrying a solder ball on a metallized layer of a through hole opening and carrying out the plural laminates of the semiconductor chip to the electrode pad side opening of the through hole concerned, Self-alignment is made to perform so that said through hole may arrange on a straight line with said solder ball, It may be made to form a pillar-shaped electric conduction shaft which encloses dissolution solder in a through hole which carried out the package dissolution of said solder ball, and was arranged on a straight line, and flows through each electrode pad by carrying out reflow treatment of this chip layered product.

[0012]

[Embodiment of the Invention]Below, the concrete embodiment of the multi chip package concerning this invention, a semiconductor device, electronic equipment, and these manufacturing methods is described in detail with reference to drawings.

[0013]Drawing 1 is the mimetic diagram of the semiconductor device 12 which mounted the semiconductor multi chip package 10 concerning an embodiment. The semiconductor chip 14 which constitutes the semiconductor multi chip package 10 carries out laminate integration of two or more sheets (the example of a graphic display four sheets), and is constituted. Each chip 14 can carry out control terminals, such as each electrode of a power source line, a data line, and an address line, or write enable, in common, when constituted as a memory device. Therefore, since common arrangement of these chip electrodes can be carried out on a chip flat, a perpendicularly common electrode is arranged on the same marginal straight line in laminating the chip 14, and packaging density can be increased to a part for chip lamination number of sheets by aiming at the flow of the chip electrode during the upper and lower sides.

[0014]The multi chip package 10 concerning this embodiment, It has the through hole 18 which penetrated electrode pad 16 portion common to the laminated semiconductor chip 14, and was arranged on the straight line, It is provided in the opening part of the through hole 18 of each chip 14, has said electrode pad 16 and the metallized layer 20 through which it flows, and is considered as the structure which embedded the pillar-shaped electric conduction shaft 22 which flowed with the formation aforementioned metallized layer 20 with dissolution solder in the through hole 18 arranged on the straight line.

[0015]Although such a multi chip package 10 carries out laminate integration of the semiconductor chip 14 used as a memory device and is formed, He is trying to laminate, after forming the through hole 18 in electrode pad 16 portion of the semiconductor chip 14 beforehand and forming in the opening of the through hole 18 the electrode pad 16 and the metallized layer 20 through which it flows. This concrete manufacturing process is explained with reference to drawing 3.

[0016]The electrode pad 16 in which the semiconductor chip 14 consists of aluminum via the silicon oxide film 26A for [ in the crystal face orientation in which various elements, such as a transistor, a resistance element, and wiring, are formed ] separation between layers to the surface of the silicon single crystal substrate 24 of a field (100) is formed. It is formed in the best surface so that the silicon oxide film 26B for protection may make only the outside-surface part of the electrode pad 16 face. It is what punctured the center portion to the rectangle, the oxide film 26A for separation between layers faces from this \*\*\*\*\* opening part, and the electrode pad 16 is \*\*\*\*\*. The opening of the silicon oxide film 26A which faces from the center section of the electrode pad 16 is first carried out to such a semiconductor chip 14, and the single crystal silicon substrate 24 is exposed (drawing 3 (1)). And it is made to perform anisotropic etching (TMAH) through this opening window 28 portion. On the whole, the reverse pyramid-like hollow 30 is formed by the section V type surrounded in respect of making a field (100) and 54.74 degrees (111) by this anisotropic etching (drawing 3 (2)). A field (111) can advance the depth of this hollow 30 to the trailer which crosses mutually, and in an embodiment correctly controllable by adjusting the aperture width W of said window 28, it is made to advance etching until it becomes depressed and the pars-basilaris-ossis-occipitalis width B of 30 is set to about 50-100 micrometers.

[0017]After performing such anisotropic etching, the through hole 18 penetrated to the surface and rear surface of the chip 14 is formed by performing wrapping by the side of the rear face of the semiconductor chip 14, becoming depressed, and carrying out the opening of the bottom of 30 (drawing 3 (3)). Subsequently, the silicone film 32 for an insulation is formed in a front face including the inner surface and chip rear face of the through hole 18 (drawing 3 (4)). The insulation between the single crystal silicon exposed to the through hole 18 or a chip rear face by this is secured. Since the silicone film 32 for an insulation is formed also in the surface of the electrode pad 16 which outputs and inputs a signal between external devices, the opening of the silicon oxide film 32 of this pad portion is made to perform (drawing 3 (5)). It is for securing the course of signal input and output.

[0018]Thus, after forming the through hole 18 and forming the insulating silicon oxide film 32 on the silicon face which will be in an exposure by formation of the through hole 18 concerned, It is made to carry out extended formation of said chip electrode pad 16 and the metallized layer 20 through which it flows to the inclined plane of the through hole 18. The weld slag of conductive metal material is made to perform this metallizing processing. After forming the metallized layer 20 by Cr/Au weld slag, patterning is performed and it is made to install in the inclined plane in which the reverse pyramid-like hollow 30 carries out for relativity in an embodiment, as shown in drawing 2 (drawing 3 (6)).

[0019]Next, lamination processing of the semiconductor chip 14 which forms the through hole 18 by anisotropic etching and back wrapping as mentioned above, and forms the metallized layer 20 installed in the effective area of the through hole 18 concerned is performed. Since the opening of the through hole 18 of each semiconductor chip 14 is carried out to the shape of a section V character, this, While the solder ball 34 is carried here and only required number of sheets piles up the chip 14 of this solder ball 34 loading, lamination arrangement is aligned and carried out so that the electrode pad 16 which is common between chips may arrange on a straight line (drawing 3 (7)). Glue lines, such as polyimide, may be made to intervene between the semiconductor chips 14 laminated at this time. In this case, what is necessary is just to consider electrode pad 16 portion as the composition which carried out the opening.

[0020]Thus, by supplying the chip layered product 14M between which the solder ball 34 was made to be placed to the reflow furnace which is not illustrated, putting the solder ball 34 in block and making it dissolve, As shown in drawing 1, the pillar-shaped electric conduction shaft 22 which encloses dissolution solder in the through hole 18 arranged on the straight line, and flows through each electrode pad 16 is formed. What is necessary is to make the tip part of the pillar-shaped electric conduction shaft 22 project to the through hole outlet part of the semiconductor chip 14 of the bottom of the heap, and just to arrange the mold into the undersurface portion of the chip layered product 14M at this time, so that this may serve as the external connection terminal 36. What is necessary is just to use the solder ball 34, and what has the volume quantity which can embed the content

volume of the through hole 18 of each semiconductor chip 14. This sake, What is necessary is just to supply this to a reflow furnace using the jig which carries out fastening maintenance of the chip layered product 14M, although the lamination height of the chip layered product 14M supplied to a reflow furnace may become higher than the lamination height at the time of being considered as the multi chip package 10 after solidification of dissolution solder.

[0021]Thus, the obtained multi chip package 10, Electrode pad 16 common comrades in each semiconductor chip 14 are the pillar-shaped electric conduction shaft 22 and switch-on through the metallized layer 20, and the portion by which formed protruding was carried out to the lowermost end of the pillar-shaped electric conduction shaft 22 concerned can be used as the external connection terminal 36 as a package. Therefore, the external electrode pads 40 as well as the electrode pad 16 of the semiconductor chip 14 are arranged to the mother board 38 as shown in drawing 1. By welding [ which was carried in these external electrode pads 40 ] the above-mentioned external connection terminal 36 42, the multi chip package 10 can be mounted in the mother board 38 by a facedown method. By doing in this way, the wiring distance of the multi chip package 10 and the mother board 38 can be set as the shortest.

[0022]Next, process drawing showing the manufacturing method of the multi chip package concerning a 2nd embodiment is shown in drawing 4. This embodiment does not carry out back wrapping to forming the through hole 18 in the semiconductor chip 14, The points which were made to carry out communicating formation differ by forming a section V character-like opening in the surface and rear surface of the substrate 24 by performing anisotropic etching from its silicon substrate 24 portion [ which attended the central opening of the electrode pad 16 ], and reverse part side.

[0023]Namely, like the case of a 1st embodiment the semiconductor chip 14. The electrode pad 16 in which the crystal face orientation in which various elements, such as a transistor, a resistance element, and wiring, are formed becomes the surface of the silicon single crystal substrate 24 of a field (100) from aluminum via the silicon oxide film 26A for separation between layers is formed. It is formed in the best surface so that the silicon oxide film 26B for protection may make only the outside-surface part of the electrode pad 16 face. The electrode pad 16 is what punctured the center portion to the rectangle, and the oxide film 26A for separation between layers is making it face from this \*\*\*\*\* opening part. The silicon oxide film 27 which turns into Si-proof etching films also at the rear-face side is formed to such a semiconductor chip 14. And the opening of the silicon oxide film 26A which attends the central opening portion of the electrode pad 16 is carried out first, and the opening of the silicon oxide film 27 on the rear face of a chip is carried out so that it may become symmetrical with this opening, and the single crystal silicon substrate 24 is exposed (drawing 4(1)). And it is made to perform anisotropic etching (TMAH) through this opening window 28 and 29 portions. On the whole, the reverse pyramid-like hollow 30 is formed in the surface and rear surface of the silicon substrate 24 by the section V type surrounded in respect of making a field (100) and 54.74 degrees (111) by this anisotropic etching (drawing 4(2)). The hollow 30 above will be in a communicating state in the center section of the thickness direction of the silicon substrate 24 by adjusting the aperture width W of said windows 28 and 29. The through hole 18 where the center section was extracted by this is formed. What is necessary is just to set up aperture width so that the aperture width of a central drawing portion may be set to about 50-100 micrometers.

[0024]After performing such anisotropic etching, the silicone film 32 for an insulation is formed in a front face including the inner surface and chip rear face of the through hole 18 (drawing 4(3)). The insulation between the single crystal silicon exposed to the through hole 18 by this is secured. Since the silicone film 32 for an insulation is formed also in the surface of the electrode pad 16 which a signal outputs and inputs between external devices, the opening of the silicon oxide film 32 of this pad portion is made to perform (drawing 4(4)). It is for securing the course of signal input and output.

[0025]Thus, after forming the through hole 18 and forming the insulating silicon oxide film 32 on the silicon face which will be in an exposure by formation of the through hole 18 concerned, It is made to carry out extended formation of said chip electrode pad 16 and the metallized layer 20 through which it flows to the inclined plane for the upper opening of the through hole 18. This metallizing processing is patterning by forming the metallized layer 20 by Cr/Au weld slag like a 1st embodiment (drawing 4(5)).

[0026]Next, lamination processing of the semiconductor chip 14 in which the above-mentioned metallized layer 20 was formed is performed. Since the opening of this is carried out to the shape of an upper opening dividing surface V character of the through hole 18 of each semiconductor chip 14. While the solder ball 34 is carried here and only required number of sheets piles up the chip 14 of this solder ball 34 loading, lamination arrangement is aligned and carried out so that the electrode pad 16 which is common between chips may arrange on a straight line (drawing 4(6)). The solder ball 34 fits into the lower aperture in the through hole 16 of the upper chip 14 at this time. Self-alignment of semiconductor chip 14 comrades laminated is realized by this.

[0027]Thus, by supplying the chip layered product 14M by which made the solder ball 34 intervene and self-alignment was carried out to the reflow furnace which is not illustrated, putting the solder ball 34 in block and making it dissolve, Dissolution solder is enclosed in the through hole 18 arranged on the straight line like the example shown in drawing 1, and the pillar-shaped electric conduction shaft 22 which flows through each electrode pad 16 is formed. It is the same as that of a 1st embodiment that make the tip part of the pillar-shaped electric conduction shaft 22 project to the through hole outlet part of the semiconductor chip 14 of the bottom of the heap, and this uses as the external connection terminal 36.

[0028]According to this 2nd embodiment, although the thickness as a multi chip package will be twice [ about ] as compared with a 1st embodiment, since self-alignment by the solder ball 34 is performed, there is an advantage by which a manufacturing process is simplified.

[0029]The circuit board 1000 which mounted the semiconductor device 1100 concerning an embodiment of the invention is shown in drawing 5. It is common to the circuit board 1000 to use organic system boards, such as a glass epoxy board, for example. It is formed in the circuit board 1000 so that the bonding area which consists of copper, for example may serve as a desired circuit. And those electrical continuity is planned by electrically connecting a bonding area and the exterior electrodes of the semiconductor device 1100.

[0030]Since the semiconductor device 1100 can make a packaging area small even in the area mounted with a bare chip, if this circuit board 1000 is used for electronic equipment, it can attain the miniaturization of the electric appliance itself. It is also possible to be able to secure a mounting space more and to attain advanced features in an identical area.

[0031]And the note type personal computer 1200 is shown in drawing 6 as electronic equipment provided with this circuit board 1000. Since said note type personal computer 1200 is provided with the circuit board 1000 aiming at advanced features, it can raise performance.

[0032]

[Effect of the Invention]As explained above, it has the through hole which this invention penetrated the electrode pad portion common to the laminated semiconductor chip, and was arranged on the straight line, It is provided in the through hole opening

part of each chip, and has said chip electrode pad and a metallized layer through which it flows. Since it constituted so that the pillar-shaped electric conduction shaft which flowed with the formation aforementioned metallized layer with dissolution solder might be embedded and formed in the through hole arranged on the straight line. While an electrical link with the conduction means set as the through hole which makes the electrode and interlayer connection of the semiconductor chip laminated is certainly realizable, the effect that it laminates and bonding operation in the case of multichip-izing can be realized efficiently is acquired.

---

[Translation done.]

\* NOTICES \*

JPO and INPI are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1]It is an important section sectional view of the semiconductor device which mounted the multi chip package concerning an embodiment.

[Drawing 2]It is a top view of the through hole portion of the multi chip package concerning an embodiment.

[Drawing 3]It is an explanatory view of the manufacturing process of the multi chip package concerning an embodiment.

[Drawing 4]It is an explanatory view of the manufacturing process of a multi chip package at a 2nd embodiment.

[Drawing 5]It is an explanatory view of the example of application to the circuit board of the multi chip package concerning an embodiment.

[Drawing 6]It is an explanatory view of the example of application to the electronic equipment of the multi chip package concerning an embodiment.

[Description of Notations]

10 Multi chip package

12 Semiconductor device

14 Semiconductor chip

16 Electrode pad

18 Through hole

20 Metallized layer

22 Pillar-shaped electric conduction shaft

24 Single crystal silicon substrate

26 (A [ 26 ], 26B) silicon oxide films

27 Silicon oxide film

28 and 29 Opening window

30 Hollow

32 The silicone film for an insulation

34 Solder ball

36 External electrode terminal

38 Mother board

40 External electrode pads

42 Solder ball

---

[Translation done.]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-94041

(P2001-94041A)

(43)公開日 平成13年4月6日(2001.4.6)

(51)Int.Cl.  
H 01 L 25/065  
25/07  
25/18

識別記号

F I  
H 01 L 25/08

テーマコード(参考)  
Z

審査請求 未請求 請求項の数7 OL (全7頁)

(21)出願番号

特願平11-269392

(22)出願日

平成11年9月22日(1999.9.22)

(71)出願人 000002369

セイコーホン株式会社  
東京都新宿区西新宿2丁目4番1号

(72)発明者 黒沢 龍一

長野県諏訪市大和3丁目3番5号 セイコ  
一エプソン株式会社内

(72)発明者 梅津 一成

長野県諏訪市大和3丁目3番5号 セイコ  
一エプソン株式会社内

(74)代理人 100093388

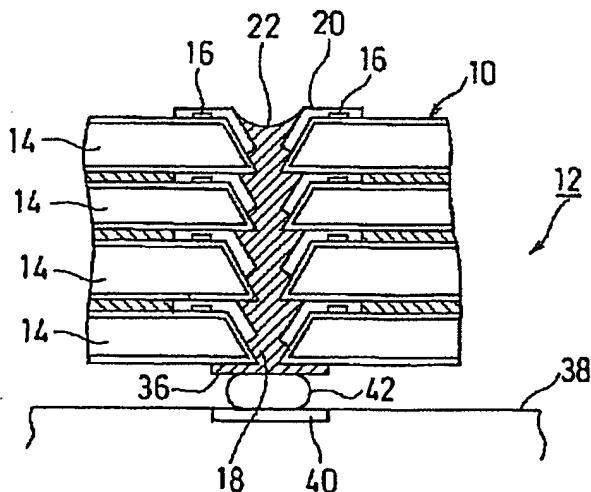
弁理士 鈴木 喜三郎 (外2名)

(54)【発明の名称】 マルチチップパッケージ、半導体装置、および電子機器、並びにこれらの製造方法

(57)【要約】

【課題】 積層される半導体チップの電極と層間接続をなすスルーホールに設定される導通手段との電気的接続を確実に実現し、積層してマルチチップ化する場合の接合作業を効率よく実現する。

【解決手段】 積層された半導体チップに共通する電極パッド部分を貫通し一直線上に配列されたスルーホールを設ける。各チップのスルーホール開口部分に設けられ前記チップ電極パッドと導通されるメタライズ層を形成し、一直線上に配列されたスルーホール内には溶解ハンダにより形成前記メタライズ層と導通された柱状導電シャフトを埋め込んで積層チップ間の導通をとる。



## 【特許請求の範囲】

【請求項1】 積層された半導体チップに共通する電極パッド部分を貫通し一直線上に配列されたスルーホールを有し、各チップのスルーホール開口部分に設けられ前記チップ電極パッドと導通されるメタライズ層を有し、一直線上に配列されたスルーホール内には溶解ハンダにより形成され前記メタライズ層と導通された柱状導電シャフトを埋め込んでなることを特徴とするマルチチップパッケージ。

【請求項2】 積層された半導体チップに共通する電極パッド部分を貫通し一直線上に配列されたスルーホールを有し、各チップのスルーホール開口部分に設けられ前記チップ電極パッドと導通されるメタライズ層を有し、一直線上に配列されたスルーホール内には溶解ハンダにより形成され前記メタライズ層と導通された柱状導電シャフトを埋め込んでなるマルチチップパッケージを備え、このマルチチップパッケージを前記半導体チップにおける電極パッドと同一の配列パターンにて形成された外部電極を有するマザーボードに実装してなることを特徴とする半導体装置。

【請求項3】 請求項1または2に記載のマルチパッケージまたは半導体装置を備えたことを特徴とする電子機器。

【請求項4】 信号入出力用の電極パッドを有する半導体チップに前記電極パッド部分にてチップを貫通するスルーホールを形成した後、このスルーホールの開口部に前記電極パッドと導通されるメタライズ層を延設形成した後、スルーホール開口部のメタライズ層上にハンダボールを搭載して半導体チップを前記スルーホールが一直線上に配列するように複数枚積層し、このチップ積層体をリフロー処理することにより前記ハンダボールを一括溶解して一直線上に配列したスルーホール内に溶解ハンダを封入して各電極パッドを導通する柱状導電シャフトを形成することを特徴とするマルチチップパッケージの製造方法。

【請求項5】 前記スルーホールは電極パッドの中心開口部に臨まれたシリコン基板に異方性エッチングを施すことにより断面V字状の開口を形成し、基板裏面をラッピングすることにより形成されてなることを特徴とする請求項4に記載のマルチチップパッケージの製造方法。

【請求項6】 前記スルーホールは電極パッドの中心開口部に臨まれたシリコン基板部分とその裏面部側から異方性エッチングを施すことにより断面V字状の開口を基板裏面に形成することにより連通形成してなることを特徴とする請求項4に記載のマルチチップパッケージの製造方法。

【請求項7】 信号入出力用の電極パッドを有する半導体チップに対し、前記電極パッドの中心開口部に臨まれたシリコン基板部分とその裏面部側から異方性エッチングを施すことにより断面V字状の開口を基板裏面に形

成することにより連通形成されたスルーホールを形成した後、当該スルーホールの電極パッド側開口部に前記電極パッドと導通されるメタライズ層を延設形成し、スルーホール開口部のメタライズ層上にハンダボールを搭載して半導体チップを複数積層するとともに、前記ハンダボールにより前記スルーホールが一直線上に配列するようセルフアライメントを行わせ、このチップ積層体をリフロー処理することにより前記ハンダボールを一括溶解して一直線上に配列したスルーホール内に溶解ハンダを封入して各電極パッドを導通する柱状導電シャフトを形成することを特徴とするマルチチップパッケージの製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明はマルチチップパッケージ、半導体装置、および電子機器、並びにこれらの製造方法に関する。

## 【0002】

【従来の技術】近年、電子機器の高性能化、小型化に伴って1つのパッケージ内に複数の半導体チップを配置してマルチチップパッケージ(Multi Chip Package)とすることにより、半導体装置の高機能化と小型化とが図られている。そして、マルチチップパッケージには、複数の半導体チップを平面的に並べたものと、複数の半導体チップを厚み方向に積層したものとがある。半導体チップを平面的に並べたマルチチップパッケージは、広い実装面積を必要とするため、電子機器の小型化への寄与が小さい。このため、半導体チップを三次元的に積層したスタックドMCPの開発が盛んに行われている。

【0003】この種のパッケージ構造としては、特許第2870530号公報に開示されているように、半導体チップをインターポーラーに実装したモジュールを形成し、これらモジュール同士を互いにハンダバンプにより電気的接続を図って積層する構造のものが一般的である。また、インターポーラーを用いない構成例として特許第2871636号公報に開示しているものがある。これはチップを絶縁樹脂を介在させて積層し、この積層体の電極部分にレーザ照射により開孔を形成し、導電性樹脂で孔を埋め込み、最下層のチップ部分でハンダバンプによりプリント基板に実装するような構造としている。

## 【0004】

【発明が解決しようとする課題】ところが、前者のインターポーラーを用いた積層構造のマルチチップパッケージでは積層厚さが厚くなってしまい、薄型パッケージとすることはできない。また、後者のようにチップを直接接合するタイプでは、各層のチップ電極相互を接続するのに導電性樹脂をスルーホールに注入する構成となっているが、層間でチップ電極と導電性樹脂との電気的接続を確実になすことは困難で、特に数十μmの間に導電性樹脂が的確に充填されずに接続不良を発生するおそれがあ

あった。しかも、この後者のパッケージでは、開孔部分に導電性樹脂を孔に埋め込む方法の開示がない。

【0005】本発明は、上記従来の問題点に着目してなされたもので、積層される半導体チップの電極と層間接続をなすスルーホールに設定される導通手段との電気的接続を確実に実現できるとともに、積層してマルチチップ化する場合の接合作業を効率よく実現できるようにした半導体チップ、ならびにこれを利用したマルチチップパッケージ、半導体装置、および電子機器、並びにこれらの製造方法を提供することを目的とする。また、マルチチップパッケージをマザーボードに実装する場合の配線距離を短くすることができ、これにより電気的特性が良好な半導体装置や電子機器を提供することを目的とする。

#### 【0006】

【課題を解決するための手段】上記目的を達成するために、本発明に係るマルチチップパッケージは、積層された半導体チップに共通する電極パッド部分を貫通し一直線上に配列されたスルーホールを有し、各チップのスルーホール開口部分に設けられ前記チップ電極パッドと導通されるメタライズ層を有し、一直線上に配列されたスルーホール内には溶解ハンダにより形成前記メタライズ層と導通された柱状導電シャフトを埋め込んでなることを特徴としている。

【0007】また、本発明に係る半導体装置は、積層された半導体チップに共通する電極パッド部分を貫通し一直線上に配列されたスルーホールを有し、各チップのスルーホール開口部分に設けられ前記チップ電極パッドと導通されるメタライズ層を有し、一直線上に配列されたスルーホール内には溶解ハンダにより形成され前記メタライズ層と導通された柱状導電シャフトを埋め込んでなるマルチチップパッケージを備え、このマルチチップパッケージを前記半導体チップにおける電極パッドと同一の配列パターンにて形成された外部電極を有するマザーボードに実装してなることを特徴とするものである。

【0008】更に、本発明に係る電子機器は、上述のマルチパッケージまたは半導体装置を備えた構成としている。

【0009】本発明に係るマルチチップパッケージの製造方法は、信号入出力用の電極パッドを有する半導体チップに前記電極パッド部分にてチップを貫通するスルーホールを形成した後、このスルーホールの開口部に前記電極パッドと導通されるメタライズ層を延設形成した後、スルーホール開口部のメタライズ層上にハンダボールを搭載して半導体チップを前記スルーホールが一直線上に配列するように複数枚積層し、このチップ積層体をリフロー処理することにより前記ハンダボールを一括溶解して一直線上に配列したスルーホール内に溶解ハンダを封入して各電極パッドを導通する柱状導電シャフトを形成することを特徴とする。

【0010】この場合において、前記スルーホールは電極パッドの中心開口部に臨まれたシリコン基板に異方性エッチングを施すことにより断面V字状の開口を形成し、基板裏面をラッピングすることにより形成すればよく、あるいは、前記スルーホールは電極パッドの中心開口部に臨まれたシリコン基板部分とその裏面部側から異方性エッチングを施すことにより断面V字状の開口を基板表裏面に形成することにより連通形成するように構成することができる。

10 【0011】更に本発明に係るマルチチップパッケージの製造方法としては、信号入出力用の電極パッドを有する半導体チップに対し、前記電極パッドの中心開口部に臨まれたシリコン基板部分とその裏面部側から異方性エッチングを施すことにより断面V字状の開口を基板表裏面に形成することにより連通形成されたスルーホールを形成した後、当該スルーホールの電極パッド側開口部に前記電極パッドと導通されるメタライズ層を延設形成し、スルーホール開口部のメタライズ層上にハンダボールを搭載して半導体チップを複数積層するとともに、前記ハンダボールにより前記スルーホールが一直線上に配列するようにセルフアライメントを行わせ、このチップ積層体をリフロー処理することにより前記ハンダボールを一括溶解して一直線上に配列したスルーホール内に溶解ハンダを封入して各電極パッドを導通する柱状導電シャフトを形成するようにしてもよい。

#### 【0012】

【発明の実施の形態】以下に、本発明に係るマルチチップパッケージ、半導体装置、および電子機器、並びにこれらの製造方法の具体的実施の形態を図面を参照して詳細に説明する。

30 【0013】図1は実施形態に係る半導体マルチチップパッケージ10を実装した半導体装置12の模式図である。半導体マルチチップパッケージ10を構成する半導体チップ14は複数枚（図示の例では4枚）を積層一体化して構成される。各チップ14はメモリ素子として構成した場合、電源ライン、データライン、アドレスラインの各電極あるいはライトイネーブルなどの制御端子を共通にことができる。したがって、これらのチップ電極はチップ平面上において共通配置することができる。40 チップ14を積層することで垂直方向に共通の電極が同一の縁直線上に配置され、上下間のチップ電極の導通を図ることで、実装密度をチップ積層枚数分まで増大することができる。

【0014】この実施形態に係るマルチチップパッケージ10は、積層された半導体チップ14に共通する電極パッド16部分を貫通し一直線上に配列されたスルーホール18を有し、各チップ14のスルーホール18の開口部分に設けられ前記電極パッド16と導通されるメタライズ層20を有し、一直線上に配列されたスルーホール18内には溶解ハンダにより形成前記メタライズ層2

0と導通された柱状導電シャフト22を埋め込んだ構造とされている。

【0015】このようなマルチチップパッケージ10は、メモリ素子として用いられる半導体チップ14を積層一体化して形成されるが、予め半導体チップ14の電極パッド16部分にスルーホール18を形成し、スルーホール18の開口に電極パッド16と導通するメタライズ層20を形成した上で積層するようにしている。この具体的な製造工程を図3を参照して説明する。

【0016】半導体チップ14は、トランジスタ、抵抗素子、配線などの各種素子が形成されている結晶面方位が(100)面のシリコン単結晶基板24の表面に層間分離用の酸化シリコン膜26Aを介してアルミニウムからなる電極パッド16が形成されている。更に最上表層には保護用の酸化シリコン膜26Bが電極パッド16の外表面部のみを臨ませるように形成されている。電極パッド16は中央部分を矩形に開孔したもので、このくり貫き開口部分から層間分離用の酸化膜26Aが臨まれている。このような半導体チップ14に対し、まず、電極パッド16の中央部から臨む酸化シリコン膜26Aを開口させ、単結晶シリコン基板24を露出させる(図3(1))。そして、この開口窓28部分を通じて異方性エッチング(TMAH)を行なうようにしている。この異方性エッチングにより、(100)面と54.74度をなす(111)面で囲まれた断面V字形で全体的には逆ピラミッド状のくぼみ30が形成される(図3(2))。このくぼみ30の深さは(111)面が互いに交わる終端部まで進行させることができ、前記窓28の開口幅Wを調整することで正確に制御することができる。実施形態ではくぼみ30の底部幅Bが50~100μm程度になるまでエッチングを進行させるようにしている。

【0017】このような異方性エッチングを行なった後、半導体チップ14の裏面側のラッピングを行なってくぼみ30の底を開口させることによりチップ14の表裏面に貫通するスルーホール18を形成している(図3(3))。次いで、スルーホール18の内面およびチップ裏面を含む前面に絶縁用シリコン膜32を形成する(図3(4))。これによってスルーホール18やチップ裏面に露出している単結晶シリコンとの間の絶縁が確保される。絶縁用シリコン膜32は外部素子との間で信号の入出力をする電極パッド16の表面にも形成されるので、このパッド部分の酸化シリコン膜32の開口を行なわせる(図3(5))。信号入出力の経路を確保するためである。

【0018】このようにしてスルーホール18が形成され、当該スルーホール18の形成によって露出状態となるシリコン面上に絶縁酸化シリコン膜32を形成した後は、前記チップ電極パッド16と導通されるメタライズ層20をスルーホール18の傾斜面まで延長形成するよ

うにしている。このメタライズ処理は導電性金属材料のスパッタにより行なうようにしている。実施形態ではCr/Auスパッタによるメタライズ層20を形成した後、バターニングを行なって、図2に示すように、逆ピラミッド状のくぼみ30の相対向する傾斜面に延設させている(図3(6))。

【0019】次に、上述のように異方性エッチングとバックラッピングによりスルーホール18を形成し、当該スルーホール18の開口面に延設されたメタライズ層20を形成してなる半導体チップ14の積層化処理が行なわれる。これは、各半導体チップ14のスルーホール18が断面V字状に開口されているので、ここにハンダボール34を搭載しておき、このハンダボール34搭載のチップ14を必要枚数だけ重ね合わせるとともに、チップ間で共通する電極パッド16が一直線上に配列するようアライメントして積層配置するのである(図3(7))。このとき積層される半導体チップ14間にボリイミドなどの接着層を介在させてもよい。この場合には電極パッド16部分を開口させた構成としておけばよい。

【0020】このようにハンダボール34を介在させたチップ積層体14Mは図示しないリフロー炉に供給され、ハンダボール34を一括して溶解させることにより、図1に示すように、一直線上に配列したスルーホール18内に溶解ハンダを封入して各電極パッド16を導通する柱状導電シャフト22を形成するのである。このとき、最下層の半導体チップ14のスルーホール出口部分に柱状導電シャフト22の先端部を突出させ、これが外部接続端子36となるようにチップ積層体14Mの下面部分に型枠を配置しておけばよい。ハンダボール34は各半導体チップ14のスルーホール18の内容積を埋め込み可能な体積量を有するものを用いればよく、このため、リフロー炉に供給されるチップ積層体14Mの積層高さが、溶解ハンダの固化後のマルチチップパッケージ10とされた場合の積層高さより高くなる場合があるが、これはチップ積層体14Mを挟着保持する治具を用いてリフロー炉に供給すればよい。

【0021】このようにして得られたマルチチップパッケージ10は、個々の半導体チップ14における共通する電極パッド16同士がメタライズ層20を通じて柱状導電シャフト22と導通状態となっており、当該柱状導電シャフト22の最下端に突出形成された部分は、パッケージとしての外部接続端子36として利用することができる。したがって、図1に示しているように、マザーボード38に半導体チップ14の電極パッド16と同様に外部電極パッド40を配列しておき、この外部電極パッド40に搭載されたハンダボール42に上記外部接続端子36を溶着することで、マルチチップパッケージ10をマザーボード38にフェイスダウン方式で実装することができる。このようにすることで、マルチチップパ

ッケージ10とマザーボード38の配線距離を最短に設定することができる所以である。

【0022】次に、図4には第2の実施形態に係るマルチチップパッケージの製造方法を示す工程図を示している。この実施形態は、半導体チップ14にスルーホール18を形成するのにバックラッピングを行なわず、電極パッド16の中心開口部に臨まれたシリコン基板24部分とその裏面側から異方性エッチングを施すことにより断面V字状の開口を基板24の表裏面に形成することにより連通形成するようにした点が異なる。

【0023】すなわち、第1の実施形態の場合と同様に、半導体チップ14は、トランジスタ、抵抗素子、配線などの各種素子が形成されている結晶面方位が(100)面のシリコン単結晶基板24の表面に層間分離用の酸化シリコン膜26Aを介してアルミニウムからなる電極パッド16が形成されている。更に最上表層には保護用の酸化シリコン膜26Bが電極パッド16の外表面部のみを臨ませるように形成されている。電極パッド16は中央部分を矩形に開孔したもので、このくり貫き開口部分から層間分離用の酸化膜26Aが臨ませている。このような半導体チップ14に対し、裏面側にも耐Siエッチング膜となる酸化シリコン膜27を形成しておく。そして、まず、電極パッド16の中央開口部分に臨む酸化シリコン膜26Aを開口させ、またチップ裏面の酸化シリコン膜27をこの開口と対称となるように開口させ、単結晶シリコン基板24を露出させる(図4(1))。そして、この開口窓28、29部分を通じて異方性エッチング(TMAH)を行なうようにしている。この異方性エッチングにより、(100)面と54.74度をなす(111)面で囲まれた断面V字形で全体的には逆ピラミッド状のくぼみ30がシリコン基板24の表裏面に形成される(図4(2))。前記窓28、29の開口幅Wを調整することで、シリコン基板24の厚み方向の中央部で上記くぼみ30同士が連通状態になる。これにより中央部が絞られたスルーホール18が形成される。中央の絞り部分の開口幅が50~100μm程度になるように開口幅を設定すればよい。

【0024】このような異方性エッチングを行なった後、スルーホール18の内面およびチップ裏面を含む前面に絶縁用シリコン膜32を形成する(図4(3))。これによってスルーホール18に露出している単結晶シリコンとの間の絶縁が確保される。絶縁用シリコン膜32は外部素子との間で信号の入出力する電極パッド16の表面にも形成されるので、このパッド部分の酸化シリコン膜32の開口を行なわせる(図4(4))。信号入出力の経路を確保するためである。

【0025】このようにしてスルーホール18が形成され、当該スルーホール18の形成によって露出状態となるシリコン面上に絶縁酸化シリコン膜32を形成した後は、前記チップ電極パッド16と導通されるメタライズ

層20をスルーホール18の上部開口部分の傾斜面まで延長形成するようにしている。このメタライズ処理は第1実施形態と同様にCr/Auスパッタによりメタライズ層20を形成し、パターニングを行なっている(図4(5))。

【0026】次に、上記メタライズ層20が形成された半導体チップ14の積層化処理が行なわれる。これは、各半導体チップ14のスルーホール18の上部開口部分断面V字状に開口されているので、ここにハンダボール34を搭載しておき、このハンダボール34搭載のチップ14を必要枚数だけ重ね合わせるとともに、チップ間で共通する電極パッド16が一直線上に配列するようアライメントして積層配置するのである(図4(6))。このときハンダボール34は上層チップ14のスルーホール16における下部開口に嵌合する。これによって、積層される半導体チップ14同士のセルフアライメントが実現される。

【0027】このようにハンダボール34を介在させセルフアライメントされたチップ積層体14Mは図示しないリフロー炉に供給され、ハンダボール34を一括して溶解させることにより、図1に示した例と同様に、一直線上に配列したスルーホール18内に溶解ハンダが封入され、各電極パッド16を導通する柱状導電シャフト22が形成されるのである。最下層の半導体チップ14のスルーホール出口部分に柱状導電シャフト22の先端部を突出させ、これが外部接続端子36として用いるのは第1の実施形態と同様である。

【0028】この第2の実施形態によれば、マルチチップパッケージとしての厚さは第1の実施形態に比較しておよそ2倍となるが、ハンダボール34によるセルフアライメントが行われるので、製造処理が簡易化される利点がある。

【0029】また、図5には、本発明の実施の形態に係る半導体装置1100を実装した回路基板1000を示している。回路基板1000には、例えばガラスエポキシ基板等の有機系基板を用いることが一般的である。回路基板1000には、例えば銅からなるボンディング部が所望の回路となるように形成されている。そして、ボンディング部と半導体装置1100の外部電極とを電気的に接続することでそれらの電気的導通が図られる。

【0030】なお、半導体装置1100は、実装面積をペアチップにて実装する面積にまで小さくすることができる所以、この回路基板1000を電子機器に用いれば電子機器自体の小型化が図れる。また、同一面積においては、より実装スペースを確保することができ、高機能化を図ることも可能である。

【0031】そして、この回路基板1000を備える電子機器として、図6にノート型パソコンコンピュータ1200を示している。前記ノート型パソコンコンピュータ1200は、高機能化を図った回路基板1000

を備えているため、性能を向上させることができる。

【0032】

【発明の効果】以上説明したように、本発明は、積層された半導体チップに共通する電極パッド部分を貫通し一直線上に配列されたスルーホールを有し、各チップのスルーホール開口部分に設けられ前記チップ電極パッドと導通されるメタライズ層を有し、一直線上に配列されたスルーホール内には溶解ハンダにより形成前記メタライズ層と導通された柱状導電シャフトを埋め込んで形成するように構成したので、積層される半導体チップの電極と層間接続をなすスルーホールに設定される導通手段との電気的接続を確実に実現できるとともに、積層してマルチチップ化する場合の接合作業を効率よく実現できる効果が得られる。

【図面の簡単な説明】

【図1】実施形態に係るマルチチップパッケージを実装した半導体装置の要部断面図である。

【図2】実施形態に係るマルチチップパッケージのスルーホール部分の平面図である。

【図3】実施形態に係るマルチチップパッケージの製造工程の説明図である。

【図4】第2の実施形態にマルチチップパッケージの製造工程の説明図である。

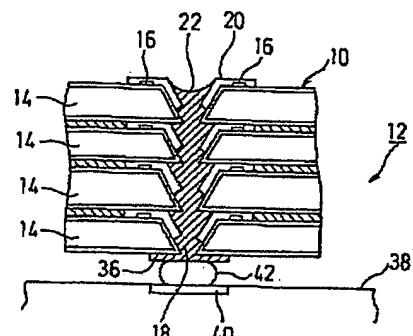
【図5】実施形態に係るマルチチップパッケージの回路基板への適用例の説明図である。

【図6】実施形態に係るマルチチップパッケージの電子機器への適用例の説明図である。

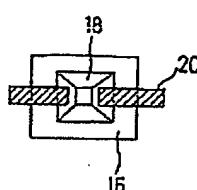
【符号の説明】

10	マルチチップパッケージ
12	半導体装置
14	半導体チップ
16	電極パッド
18	スルーホール
20	メタライズ層
22	柱状導電シャフト
24	単結晶シリコン基板
26(26A, 26B)	酸化シリコン膜
27	酸化シリコン膜
28, 29	開口窓
30	くぼみ
32	絶縁用シリコン膜
34	ハンダボール
36	外部電極端子
38	マザーボード
40	外部電極パッド
42	ハンダボール

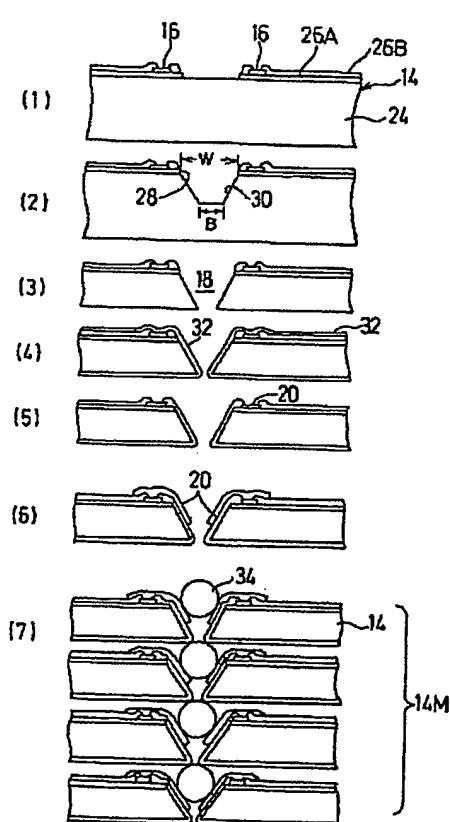
【図1】



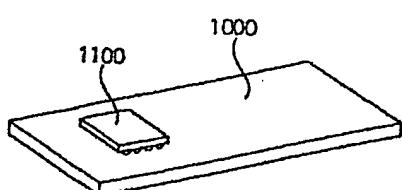
【図2】



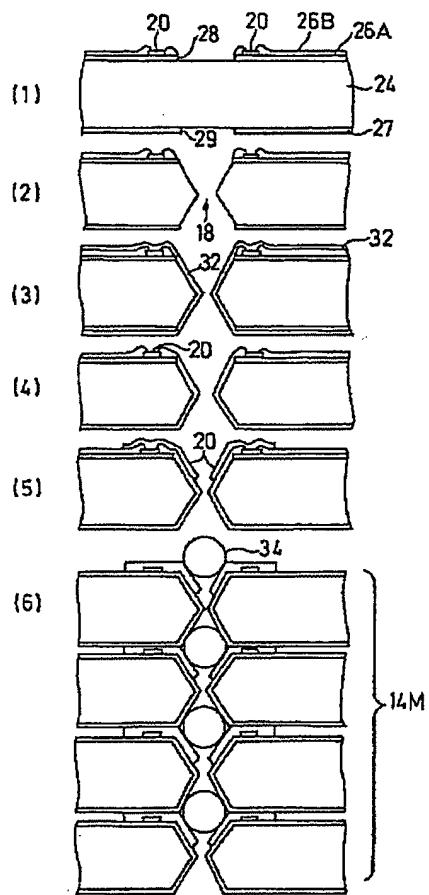
【図3】



【図5】



【図4】



【図6】

